

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-292775

(43)Date of publication of application : 24.12.1991

(51)Int.Cl.

H01L 31/10

(21)Application number : 02-096039

(71)Applicant : SHARP CORP

(22)Date of filing : 10.04.1990

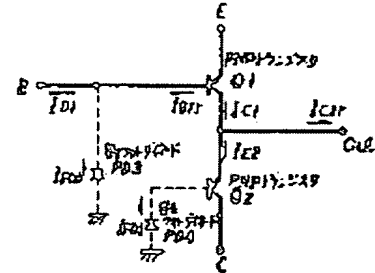
(72)Inventor : YOKOGAWA SEIICHI
OKABAYASHI NAONORI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To protect a semiconductor device against the effect of light which penetrates a circuit by a method wherein the collector of a first PNP transistor is connected to the emitter of a second PNP transistor, the base and the collector of the first PNP transistor, the collector of the second PNP transistor, and the joint between the transistors are connected to an external circuit.

CONSTITUTION: The collector of a first PNP transistor Q1 is connected to the emitter of a second PNP transistor Q2, and the emitter of the transistor Q1 is connected to a terminal E. The base of the transistor Q1 is connected to a terminal B, and the collector of the second PNP transistor Q2, is connected to a terminal C. A joint between the transistors Q1 and Q2 is connected to a terminal Out connected to a following stage, and the base of the second PNP transistor Q2 is not connected. By this setup, the effect of a parasitic photodiode in a PNP transistor can be compensated with that of a parasitic photodiode in second PNP transistor.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanes Publication for Unexamined Patent Application

No. 3-292775/1991 (*Tokukaihei 3-292775*)

A. Relevance of the above-identified Document

This document has relevance to all claims of the present application.

B. Translation of the Relevant Passages of the Document

See also the attached English Abstract.

2. CLAIMS

1. A semiconductor device, comprising:

a first PNP transistor; and

a second PNP transistor,

the first PNP transistor and the second PNP transistor being provided on a surface of a semiconductor substrate,

a collector of the first PNP transistor and an emitter of the second PNP transistor being connected with each other, and

a base and an emitter of the first PNP transistor, a collector of the second PNP transistor, and a connecting section of the collector and the emitter of the first and second PNP transistors being connected with an external circuit.

3. DETAILED DESCRIPTION OF THE INVENTION

(INDUSTRIAL FIELD)

The present invention relates to means for decreasing an influence of a parasitic photodiode in a bipolar IC...

(EFFECT OF THE INVENTION)

With the foregoing arrangement, even if light enters into the circuit, the present invention can prevent the influence of the light. As a result, for a circuit dealing with a minute current in an element incapable of shutting out the light incoming from outside, and for a circuit subjected to an unignorable influence of a photocurrent caused by the photodiode, an effect of the present invention is equivalent to shutting out the light.

(3)

③ 日本国特許庁(JP) ⑩ 特許出願公開
 ⑨ 公開特許公報(A) 平3-292775

⑤ Int. Cl.⁸ 識別記号 庁内整理番号 ⑥ 公開 平成3年(1991)12月24日
 H 01 L 31/10 7522-4M H 01 L 31/10 A
 審査請求 未請求 請求項の数 1 (全5頁)

④ 発明の名称 半導体装置

⑦ 特 願 平2-96039
 ⑧ 出 願 平2(1990)4月10日

⑨ 発 明 者 横 川 成 一 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
 ⑩ 発 明 者 岡 林 直 憲 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
 ⑪ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
 ⑫ 代 理 人 弁理士 福士 愛彦

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 第1及び第2の2個のPNPトランジスタを半導体基板の表面に形成し、第1のPNPトランジスタのコレクタと第2のPNPトランジスタのエミッタを接続し、第1のPNPトランジスタのベースとエミッタおよび第2のPNPトランジスタのコレクタならびに両PNPトランジスタのコレクタとエミッタの接続部を外部回路に接続するようにした半導体装置

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、特に光電変換素子とバイポーラICとが同一チップ内に形成されているか、又は隣接して配置されているとき、バイポーラIC内の寄生フォトダイオードによる影響を低減化する方法に関するものである。

(従来の技術)

第4図は従来のPNPトランジスタの等価回路であり、第5図はバイポーラICの中のある一個のPNPトランジスタの略断面図である。

第4図において、PNPトランジスタQ101のエミッタは端子Eに接続され、エミッタ側からコレクタ側端子Cへコレクタ電流 I_{C101} が流れる。PNPトランジスタQ101のベースはベース端子Bに接続され、ベース電流 I_{B101} が流れる。

第5図において、PNPトランジスタQ101は、p型の半導体基板1の表面に形成されたn型エピタキシャル層2の表面に拡散されたp型層3及び4によりエミッタ及びコレクタが形成され、n型エピタキシャル層2はベースとなり、その表面に拡散されたn層5はベースコンタクトとなる。これらの表面にSiO₂のような絶縁膜6を設け、所望の場所に穴を明けて、1層配線メタル7を蒸着し、電極及び配線が形成されている。

このような構造の場合、n型エピタキシャル層2とp型の半導体基板1との間に、寄生フォトダイオードPD102が存在することになる。これ

(4)

特開平3-292775 (2)

は第4図に示されるように、トランジスタQ101のベース側と接地間に点線で接続された寄生フォトダイオードPD102となる。

PNPトランジスタQ101が、光電変換素子であるフォトダイオードと同一チップ内に形成されているか、あるいは、近接した別のチップ内にそれぞれが設けられている場合は、本来フォトダイオードに照射されるべき光から漏れた光が、寄生フォトダイオードPD102に照射され、光電流 I_{PD102} が発生する。

従って、PNPトランジスタQ101のベース電流 I_{B101} は、周辺回路によって決定されるベース電流 I_{B101} と寄生フォトダイオードの光電流 I_{PD102} との和、すなわち

$$I_{B101} = I_{B101} + I_{PD102}$$

となる。よってPNPトランジスタQ101のコレクタ電流 I_{C101} は、

$$I_{C101} = (I_{B101} + I_{PD102}) \times h_{FE101}$$

$$h_{FE101} : \text{トランジスタQ101の} h_{FE}$$

となる。また、寄生フォトダイオードPD102

に光が発生しない場合は、

$$I_{C101} = I_{B101} \times h_{FE101}$$

となり、寄生フォトダイオードPD102に発生する光電流によって変化するPNPトランジスタQ101のコレクタ電流 I_{C101} は、

$$\Delta I_{C101} = I_{PD102} \times h_{FE101}$$

となる。

この ΔI_{C101} により、回路の特性に多大の影響を及ぼす。

従来は、この影響を減少させるために、第5図に示されるように、1層配線メタル7を第2の絶縁膜6-1で覆い、さらにその表面を2層配線メタル8で覆って、表面から侵入する光を遮断して、光電流 I_{PD102} を減少させる手段を講じていた。

(発明が解決しようとする課題)

前述のような構造では、チップの表面から侵入した光は遮断できるが、第5図に示されるような、チップエッジ1-1やチップ側面1-2から侵入した光が、寄生フォトダイオードPD102に到達する。また、同一チップ内にフォトダイオード

とトランジスタを共に形成している場合には、受光部から侵入した光の一部が寄生フォトダイオードに到達する。これらの光は微小な光電流を発生する。トランジスタのベース電流を低電流領域で使用する回路においては、特性への影響を無視できず、この微小な光電流を防止する必要がある。(課題を解決するための手段)

第1及び第2の同じ特性の2個のPNPトランジスタを半導体基板の表面に近接して形成し、第1のPNPトランジスタのコレクタと第2のPNPトランジスタのエミッタを接続し、第1のPNPトランジスタのベースとエミッタおよび第2のPNPトランジスタのコレクタを並びに両トランジスタの接続部を外部回路に接続するようにした。(作用)

第1のPNPトランジスタにかかる寄生フォトダイオードの影響を第2のPNPトランジスタにかかる寄生フォトダイオードにより補償することができる。

(実施例)

第1図は本発明の一実施例の等価回路図である。同図に示されるように、第1のPNPトランジスタQ1のコレクタは、第2のPNPトランジスタQ2のエミッタに接続され、トランジスタQ1(以下PNPを省略する)のエミッタは端子Eに接続されている。トランジスタQ1のベースは端子Bに接続されている。第2のトランジスタQ2(以下PNPを省略する)のコレクタは端子Cに接続されている。トランジスタQ1とQ2の接続部の中間は後段へ接続するための端子Outに接続されている。トランジスタQ2のベースは何所にも接続されていない。

第2図は第1図の回路を構成するための、トランジスタ2個を有するチップの略断面図である。p型の半導体基板1の表面に形成された2個のn型エピタキシャル層2及び2-1の表面にそれぞれp型層13、14及び13-1及び14-1を並びにn⁺型層15、15-1を拡散により形成する。p型層13はトランジスタQ1のエミッタとなり、p型層14はそのコレクタとなりn型エピ

(5)

特開平3-292775 (3)

タキシャル層2はそのベースとなる。また、p型層13-1はトランジスタQ2のエミッタとなり、p型層14-1はそのコレクタとなり、n型エピタキシャル層2-1はそのベースとなる。そして、n⁺型層15はトランジスタQ1のベース電極部となり、n⁺型層15-1はトランジスタQ2のベース電極部となる。これらの表面にSiO₂のような絶縁膜を形成し、所望の場所に穴を明け、Alを蒸着して電極及び配線を形成する。第2図の場合ではp型層14をp型層13-1に接続すると、第1図の回路になる。この構造において、n型エピタキシャル層2とp型の半導体基板1との間に寄生フォトダイオードPD3が形成され、n型エピタキシャル層2-1と半導体基板1との間には寄生フォトダイオードPD4が形成される。これらは第1図において、点線でトランジスタQ1及びQ2に接続されている。

このようなチップに光が侵入すると、第1図に示されるように、トランジスタQ1のベース側に、寄生フォトダイオードPD3による光電流 I_{PD3} が

から、トランジスタQ2のエミッタ電流 I_{E2} を流したものととなり、

$$I_{C1r} = I_{C1} - I_{E2} \\ = (I_{PD3} + I_{B1}) \times h_{FE1} - I_{PD4} \times (h_{FE2} + 1) \\ \text{となる。トランジスタQ1及びQ2の電流増幅率が充分大きいと仮定すれば、}$$

$$I_{C1r} \approx (I_{PD3} + I_{B1}) \times h_{FE1} - I_{PD4} \times h_{FE2} \\ \text{となる。}$$

寄生フォトダイオードPD3及びPD4に発生する光電流は、同一の光に対して、第2図に示されるn型エピタキシャル層2及び2-1と、p型の半導体基板1との接合面積に比例する。従って、寄生フォトダイオードPD3の接合面積と、寄生フォトダイオードPD4の接合面積とが等しくなるようにし、しかも、トランジスタQ1及びQ2を近接して配置すること、つまり、集積回路において、同一のパターンのトランジスタを2個並べて配置することにより、光電流 I_{PD3} と I_{PD4} をほぼ等しくすることができる。さらに、電流増幅率率の整合のとれた2個のトランジスタを形成するこ

発生する。また、トランジスタQ2についても同様に、そのベース側に、寄生フォトダイオードPD4による光電流 I_{PD4} が発生する。トランジスタQ1のベース電流 I_{B1r} は光電流 I_{PD3} と、周辺回路によって決定される電流 I_{B1} との和となり、

$$I_{B1r} = I_{PD3} + I_{B1}$$

となる。従って、トランジスタQ1のコレクタ電流 I_{C1} は、

$$I_{C1} = I_{B1r} \times h_{FE1} \\ = (I_{PD3} + I_{B1}) \times h_{FE1}$$

h_{FE1} : トランジスタQ1の電流増幅率
となる。また、トランジスタQ2のエミッタ電流 I_{E2} は、

$$I_{E2} = I_{PD4} \times (h_{FE2} + 1)$$

h_{FE2} : トランジスタQ2の電流増幅率
となる。

トランジスタQ1のコレクタ端子とトランジスタQ2のエミッタ端子は接続され、その中継から端子Outを経て、後段の回路へ流入する電流 I_{C1r} は、前述のトランジスタQ1のコレクタ電流 I_{C1}

とにより、

$$I_{PD3} \approx I_{PD4} \\ h_{FE1} \approx h_{FE2}$$

という条件を実現できる。

この条件下において、後段へ流入する電流 I_{C1r} は、

$$I_{C1r} \approx I_{PD3} \times h_{FE1} + I_{B1} \times h_{FE1} - I_{PD4} \times h_{FE2} \\ \approx I_{B1} \times h_{FE1}$$

となる。

この結果、トランジスタQ1の寄生ダイオードPD3による影響を、トランジスタQ2による影響によって補償し、1個のトランジスタと同じ作用をすることができる。

第3図は他の実施例であって、第1図の実施例におけるトランジスタQ1及びQ2に、定電流バイアス回路を付加したものである。第1図のトランジスタQ1及びQ2に対応するトランジスタをそれぞれQ11及びQ12、寄生フォトダイオードPD3及びPD4に対応する寄生フォトダイオードをそれぞれPD13及びPD14、コレクタ

(6)

特開平3-292775 (4)

電流 I_{C1} に対応するコレクタ電流を I_{C11} 、エミッタ電流 I_{E2} に対応するエミッタ電流を I_{E12} 、後段の回路へ流入する電流 I_{C12} に対応するものを I_{C12r} 、トランジスタ Q1 及び Q2 のベース電流 I_{B12} に対応するトランジスタ Q11 のベース電流を I_{B11r} 、トランジスタ Q12 のベース電流を I_{B12r} とし、トランジスタ Q11 及び Q12 のそれぞれのベース側に、定電流バイアス回路 21 及び 22 を設けてある。寄生フォトダイオード PD13 及び PD14 には、光が入射すると、それぞれ光電流 I_{PD13} 及び I_{PD14} が発生する。

この回路において、トランジスタ Q11 のベース電流 I_{B11r} は、光電流 I_{PD13} と周辺回路によって決定される I_{B11} と定電流バイアス回路 21 に流れる定電流 I_{A11} との和となり、

$$I_{B11r} = I_{PD13} + I_{B11} + I_{A11}$$

となる。よって、トランジスタ Q11 のコレクタ電流 I_{C11} は、

$$\begin{aligned} I_{C11} &= I_{B11r} \times h_{FE11} \\ &= (I_{PD13} + I_{B11} + I_{A11}) \times h_{FE11} \end{aligned}$$

$$\begin{aligned} I_{C11r} &= (I_{PD13} + I_{B11} + I_{A11}) \times h_{FE11} \\ &\quad - (I_{PD14} + I_{A12}) \times h_{FE12} \end{aligned}$$

となる。

以下、第1図にける場合と同様に、電流増幅率の整合のとれた2個のトランジスタを形成することにより、

$$I_{PD13} \approx I_{PD14}$$

$$h_{FE11} \approx h_{FE12}$$

という条件を実現できる。

ここで、 h_{FE11} と h_{FE12} とはそれぞれトランジスタ Q11 及び Q12 のコレクタ電流依存性があり、 h_{FE11} と h_{FE12} とを精度よく等しくすることができない場合がある。そこで、光電流 I_{PD13} 及び I_{PD14} に比べて充分大きく、なにかつ等しい定電流 I_{A11} 及び I_{A12} を設定すること、すなわち

$$I_{A11} = I_{A12} \Rightarrow I_{PD13} \approx I_{PD14}$$

とすることによって、 h_{FE11} と h_{FE12} の差をさらに小さくし、近似性の精度を高めることができる。

上記の条件により、後段の回路へ流入する電流 I_{C12r} は、

h_{FE11} : トランジスタ Q11 の電流増幅率
また、トランジスタ Q12 のベース電流 I_{B12r} は、光電流 I_{PD14} と定電流バイアス回路 22 に流れる定電流 I_{A12} との和となり、

$$I_{B12r} = I_{PD14} + I_{A12}$$

となる。よって、トランジスタ Q12 のエミッタ電流 I_{E12} は、

$$\begin{aligned} I_{E12} &= I_{B12r} \times (h_{FE12} + 1) \\ &= (I_{PD14} + I_{A12}) \times (h_{FE12} + 1) \end{aligned}$$

h_{FE12} : トランジスタ Q12 の電流増幅率
となる。

第1図の場合と同様に、後段の回路へ流入する電流 I_{C12r} は、トランジスタ Q11 のコレクタ電流 I_{C11} から、トランジスタ Q12 のエミッタ電流 I_{E12} を減じたものとなり、

$$\begin{aligned} I_{C12r} &= I_{C11} - I_{E12} \\ &= (I_{PD13} + I_{B11} + I_{A11}) \times h_{FE11} \\ &\quad - (I_{PD14} + I_{A12}) \times (h_{FE12} + 1) \end{aligned}$$

となる。トランジスタ Q11 及び Q12 の h_{FE} が充分大きいと仮定すれば、

$$\begin{aligned} I_{C12r} &\approx I_{PD13} \times h_{FE11} + I_{B11} \times h_{FE11} + I_{A11} \times h_{FE11} \\ &\quad - I_{PD14} \times h_{FE12} - I_{A12} \times h_{FE12} \\ &\approx I_{B11} \times h_{FE11} \end{aligned}$$

となる。この結果、第3図の実施例においても、第1図の実施例と同様に、見かけ上、光の侵入の影響を受けず、寄生フォトダイオードによる光電流の発生しない1個のトランジスタと同じ動作をすることができる。

(発明の効果)

本発明は以上のような構造であるから、回路内に光が侵入してもその影響を防止できるので、外部から侵入してくる光を遮断することができない素子の内部で微少電流を扱っている回路や、寄生フォトダイオードによる光電流の影響が無視できない素子に対して、光を遮断したと同等の効果を奏する。そして、上記の回路や素子の特性を向上することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例の回路図、第2図は第1図の回路を具体化したチップの略断面図、第

(7)

特開平3-292775 (6)

3図は本発明の他の実施例の回路図、第4図は従来の回路図、第5図はこれを具体化したチップの略断面図である。

1…半導体基板、2…n型エピタキシャル層、
13、13-1、14、14-1…p型拡散層、
15、15-1…n⁺型拡散層、Q1、Q2、Q11、
Q12…PNPトランジスタ、PD3、PD4、
PD13、PD14…寄生フォトダイオード

代理人 福士 愛 彦

